

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/70 (2006.01)

H01L 21/336 (2006.01)

H01L 23/60 (2006.01)



[12] 发明专利说明书

专利号 ZL 03137450.6

[45] 授权公告日 2006 年 11 月 8 日

[11] 授权公告号 CN 1284223C

[22] 申请日 2003.6.20 [21] 申请号 03137450.6

[71] 专利权人 矽统科技股份有限公司

地址 台湾省新竹科学工业园区

[72] 发明人 柯明道 徐新智 罗文裕

审查员 杨子芳

[74] 专利代理机构 上海专利商标事务所有限公司

代理人 陈 亮

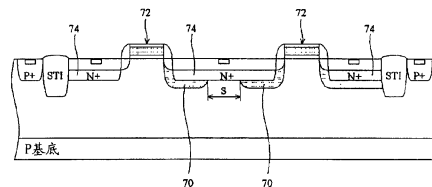
权利要求书 6 页 说明书 11 页 附图 13 页

[54] 发明名称

静电放电保护结构及其工艺

[57] 摘要

一种静电放电保护结构，包括设置于第一导电型态基底的第一栅极以及第二栅极。多个第二导电型态重离子掺杂区，分别设置位于第一栅极与第二栅极之间以及第一栅极与第二栅极之间未相邻的另一侧的基底。第二导电型态离子轻掺杂 ESD 注入区是设置于第一栅极与第二栅极之间的基底，具有一开口，使得设置于第一栅极与第二栅极之间的部分第二型离子重掺杂区直接接触第一导电型态基底。



1. 一种静电放电保护结构的制造方法, 包括下列步骤:

提供一第一导电型的基底, 具有一第一栅极以及一第二栅极;

形成一第二导电型态轻掺杂区于上述基底表面, 其位于上述第一栅极与第二栅极之间;

形成一遮蔽层于上述第一栅极与第二栅极之间部分区域的第二导电型态轻掺杂区, 并露出位于上述第一栅极、第二栅极与上述遮蔽层之间未被上述遮蔽层覆盖的第二导电型态轻掺杂区;

执行第二型离子轻掺杂注入工艺, 以于上述基底中露出的第二导电型态轻掺杂区的区域形成一第二导电型态离子轻掺杂 ESD 注入区;

移除上述遮蔽层;

形成侧壁绝缘间隔物于上述第一栅极及第二栅极的两侧; 以及

执行第二型离子重掺杂注入工艺, 以于上述上述第一栅极与第二栅极的侧壁绝缘间隔物之间的上述基底形成一第二导电型态重掺杂区。

2. 根据权利要求 1 所述的静电放电保护结构的制造方法, 其中上述第一导电型态为 P 型。

3. 根据权利要求 1 所述的静电放电保护结构的制造方法, 其中上述第二导电型态为 N 型。

4. 根据权利要求 1 所述的静电放电保护结构的制造方法, 更包括于上述第一栅极与上述基底以及上述第二栅极与基底之间形成一栅极氧化层的步骤。

5. 根据权利要求 3 所述的静电放电保护结构的制造方法, 其中上述第二型离子轻掺杂注入工艺是掺杂磷离子与砷离子的至少一者。

6. 根据权利要求 1 所述的静电放电保护结构的制造方法, 其中上述第二型离子轻掺杂注入工艺是掺杂硼离子。

7. 根据权利要求 1 所述的静电放电保护结构的制造方法, 其中位于上述第一栅极与第二栅极之间的遮蔽层位于上述第一栅极与第二栅极之间区域的中央。

8. 根据权利要求 1 所述的静电放电保护结构的制造方法, 其中上述第二导电型态重掺杂区的掺杂浓度高于上述第二导电型态离子轻掺杂 ESD 注入区的掺杂浓度。

9. 根据权利要求 1 所述的静电放电保护结构的制造方法, 其中上述第二导电型态离子轻掺杂 ESD 注入区的底部深度大于上述第二导电型态重掺杂区的底部深度。

10. 一种静电放电保护结构的制造方法, 包括下列步骤:

提供一第一导电型的基底, 具有设置于一第一隔离结构以及一第二隔离结构之间的一第一栅极以及一第二栅极;

形成一第二导电型态轻掺杂区于上述基底表面, 其乃位于上述第一栅极与第一隔离结构之间、上述第二栅极与第二隔离结构之间以及上述第一栅极与第二栅极之间;

形成一遮蔽层于上述第一栅极与第一隔离结构之间、上述第二栅极与第二隔离结构之间以及上述第一栅极与第二栅极之间部分区域的第二导电型态轻掺杂区, 并露出位于上述第一栅极、第二栅极与上述遮蔽层之间未被上述遮蔽层覆盖的第二导电型态轻掺杂区;

执行第二型离子轻掺杂注入工艺, 以于上述基底中露出的第二导电型态轻掺杂区的区域形成一第二导电型态离子轻掺杂 ESD 注入区;

移除上述遮蔽层;

形成侧壁绝缘间隔物于上述第一栅极及第二栅极的两侧; 以及

执行第二型离子重掺杂注入工艺, 以分别于上述第一栅极的侧壁绝缘间隔物与第一隔离结构之间、上述第二栅极的侧壁绝缘间隔物与第二隔离结构之间以及上述第一栅极与第二栅极的侧壁绝缘间隔物之间的上述

基底形成一第二导电型态重掺杂区。

11. 根据权利要求 10 所述的静电放电保护结构的制造方法, 其中上述第一导电型态为 P 型。

12. 根据权利要求 11 所述的静电放电保护结构的制造方法, 其中上述第二导电型态为 N 型。

13. 根据权利要求 10 所述的静电放电保护结构的制造方法, 更包括于上述第一栅极与上述基底以及上述第二栅极与基底之间形成一栅极氧化层的步骤。

14. 根据权利要求 10 所述的静电放电保护结构的制造方法, 其中上述第二型离子轻掺杂注入工艺是掺杂磷离子与砷离子的至少一者。

15. 根据权利要求 10 所述的静电放电保护结构的制造方法, 其中上述第二型离子轻掺杂注入工艺是掺杂硼离子。

16. 根据权利要求 10 所述的静电放电保护结构的制造方法, 其中位于上述第一栅极与第二栅极之间的遮蔽层位于上述第一栅极与第二栅极之间区域的中央。

17. 根据权利要求 10 所述的静电放电保护结构的制造方法, 其中上述第二导电型态重掺杂区的掺杂浓度高于上述第二导电型态离子轻掺杂 ESD 注入区的掺杂浓度。

18. 根据权利要求 10 所述的静电放电保护结构的制造方法, 其中上述第二导电型态离子轻掺杂 ESD 注入区的底部深度大于上述第二导电型态重掺杂区的底部深度。

19. 一种静电放电保护结构的制造方法, 包括下列步骤:

提供一第一导电型的基底, 具有依序设置于一第一隔离结构以及一第二隔离结构之间的一第一栅极、一第二栅极、一第三栅极以及一第四栅极;

在上述基底表面的第一隔离结构以及一第二隔离结构间, 没有设置上

述第一栅极、第二栅极、第三栅极以及第四栅极之处，形成一第二导电型态轻掺杂区；

形成一遮蔽层于上述第一栅极与第一隔离结构之间、上述第一栅极与第二栅极之间、上述第三栅极与第四栅极之间、上述第四栅极与第二隔离结构之间以及上述第二栅极与第三栅极之间部分区域的第二导电型态轻掺杂区，并露出位于上述第二栅极、第三栅极与上述遮蔽层之间未被上述遮蔽层覆盖的第二导电型态轻掺杂区；

执行第二型离子轻掺杂注入工艺，以于上述基底中露出的第二导电型态轻掺杂区的区域形成一第二导电型态离子轻掺杂 ESD 注入区；

移除上述遮蔽层；

形成侧壁绝缘间隔物于上述第一栅极、第二栅极、第三栅极及第四栅极的两侧；以及

执行第二型离子重掺杂注入工艺，以于上述第一隔离结构与第二隔离结构之间未设置上述栅极处形成一第二导电型态重掺杂区。

20. 根据权利要求 19 所述的静电放电保护结构的制造方法，其中上述第一导电型态为 P 型。

21. 根据权利要求 20 所述的静电放电保护结构的制造方法，其中上述第二导电型态为 N 型。

22. 根据权利要求 19 所述的静电放电保护结构的制造方法，更包括于上述第一栅极与上述基底以及上述第二栅极与基底之间形成一栅极氧化层的步骤。

23. 根据权利要求 21 所述的静电放电保护结构的制造方法，其中上述第二型离子轻掺杂注入工艺是掺杂磷离子与砷离子的至少一者。

24. 根据权利要求 21 所述的静电放电保护结构的制造方法，其中上述第二型离子轻掺杂注入工艺是掺杂硼离子。

25. 根据权利要求 19 所述的静电放电保护结构的制造方法, 其中位于上述第二栅极与第三栅极之间的遮蔽层位于上述第二栅极与第三栅极之间区域的中央。

26. 根据权利要求 19 所述的静电放电保护结构的制造方法, 其中上述第二导电型态重掺杂区的掺杂浓度高于上述第二导电型态离子轻掺杂 ESD 注入区的掺杂浓度。

27. 根据权利要求 19 所述的静电放电保护结构的制造方法, 其中上述第二导电型态离子轻掺杂 ESD 注入区的底部深度大于上述第二导电型态重掺杂区的底部深度。

28. 一种静电放电保护结构, 包括:

一第一导电型态的基底;

一第一栅极以及一第二栅极, 设置于上述基底表面;

多个第二导电型态离子重掺杂区, 分别设置位于上述第一栅极与第二栅极之间以及上述第一栅极与第二栅极之间未相邻的另一侧的基底; 以及

一第二导电型态离子轻掺杂 ESD 注入区, 设置于上述第一栅极与第二栅极之间的基底, 具有一开口, 使得设置于上述第一栅极与第二栅极之间的部分第二型离子重掺杂区直接接触上述基底。

29. 根据权利要求 28 所述的静电放电保护结构, 更包括一漏极接触区, 设置于上述开口。

30. 根据权利要求 28 所述的静电放电保护结构, 更包括设置于上述第一栅极与第二栅极两侧的侧壁绝缘间隔物。

31. 根据权利要求 28 所述的静电放电保护结构, 其中上述第一导电型态为 P 型。

32. 根据权利要求 31 所述的静电放电保护结构, 其中上述第二导电型态为 N 型。

33. 根据权利要求 28 所述的静电放电保护结构,更包括设置于上述第一栅极与上述基底以及上述第二栅极与基底之间的栅极氧化层。

34. 根据权利要求 32 所述的静电放电保护结构,其中上述第二导电型态离子轻掺杂 ESD 注入区是掺杂磷离子与砷离子的至少一者。

35. 根据权利要求 28 所述的静电放电保护结构,其中上述第二导电型态离子轻掺杂 ESD 注入区是掺杂硼离子。

36. 根据权利要求 28 所述的静电放电保护结构,其中位于上述第二导电型态离子轻掺杂 ESD 注入区的开口位于上述第一栅极与第二栅极之间区域的中央。

37. 根据权利要求 28 所述的静电放电保护结构,其中上述第二导电型态重掺杂区的掺杂浓度高于上述第二导电型态离子轻掺杂 ESD 注入区的掺杂浓度。

38. 根据权利要求 28 所述的静电放电保护结构,其中上述第二导电型态离子轻掺杂 ESD 注入区的底部深度大于上述第二导电型态重掺杂区的底部深度。

静电放电保护结构及其工艺

技术领域

本发明是有关于一种半导体工艺,特别是有关于一种形成具有低输入阻抗、低接面寄生电容以及高静电放电耐受力等特性的静电放电 (Electrostatic Discharge , ESD) 防护电路的深次微米 (deep-sub-micron) CMOS 工艺。

背景技术

静电放电 (ESD) 是由不同材料之间的摩擦所产生的相对大量电位差或电荷,根据不同的放电模式而于约数个至数百个纳秒 (nano-seconds) 时间内放电所造成的。然而,形成 ESD 应力的原因,最常见的是下列三种模型: 人体放电模式 (human body model, HBM)、机器模式 (machine model, MM) 以及组件充电模式 (charged device model、CDM)。一般集成电路产品规格为于 HBM 模式下的 ESD 耐受力为 $\pm 2k$ 伏特、MM 模式下的 ESD 耐受力为 ± 200 伏特、以及 CDM 模式下的 ESD 耐受力为 ± 1000 伏特。

集成电路 (integrated circuit, IC) 的组件首先遭遇静电放电脉冲的部分通常为直接耦接至芯片的焊接垫 (bonding pad) 或端子 (terminal) 的输入输出电路 (I/O buffer)。图 1A 是显示传统输入电路的电路图,而图 1B 是显示对应于图 1A 的半导体剖面图。I/O 接合垫 (PAD) 10 是耦接于 NMOS 晶体管 12A 与 NMOS 晶体管 12B 源/漏极的连接点, NMOS 晶体管 12A 的源/漏极是耦接于电源 VDD, 而 NMOS 晶体管 12B 的源/漏极是耦接至电源 VSS。另外, NMOS 晶体管 12A 与 NMOS 晶体管 12B 的栅极皆耦接至

接地点。而 NMOS 晶体管 12A 与 NMOS 晶体管 12B 在正常电路操作时是保持关闭。因此, NMOS 晶体管 12A 与 NMOS 晶体管 12B 即构成 ESD 防护电路 14。

当 I/O 接合垫 10 接收到静电放电脉冲时, 大量的 ESD 电流将经由 NMOS 晶体管 12A 与 NMOS 晶体管 12B 的电流路径而释放。若集成电路不具有良好的静电放电保护电路, 上述大量 ESD 电流很容易造成 NMOS 晶体管 12A 与 NMOS 晶体管 12B 的栅极氧化层受到损坏, 或者是 ESD 电流聚集于 NMOS 晶体管 12A 与 NMOS 晶体管 12B 的漏极区靠近最脆弱的沟道区表面的区域, 并烧坏沟道区中某特定区域。当栅极损坏或沟道区某区域烧坏时, 将造成集成电路无法顺利操作。

随着半导体工艺技术的进步, ESD 的耐受力已经成为集成电路可靠度的主要考量之一。尤其当半导体工艺技术进入深次微米时代 (sub-quarter-micron) 后, 缩小尺寸 (scaled-down) 的晶体管、较浅的掺杂接面深度、较薄的闸氧化层、轻掺杂的漏极结构 (lightly-doped drain, LDD)、浅沟隔离 (shallow trench isolation, STI) 工艺以及金属硅化物 (salicide) 工艺等, 对于 ESD 耐受力而言都是比较脆弱的。因此, 在 IC 的输出输入电路便必须特别设计 ESD 防护电路, 以保护 IC 中的组件免于遭受 ESD 损害。

ESD 防护电路 14 中的箝制装置 (NMOS 晶体管 12A、12B) 是用以保护内部电路 16 免于受到 ESD 的损坏。其中, NMOS 晶体管 12A 的源极是耦接于 I/O 接合垫 10, 而其漏极耦接到 VDD 电位端以与栅极耦接于接地电位。NMOS 晶体管 12B 的漏极耦接于 I/O 接合垫 10, 而其源极以栅极耦接到 VSS 电位端。耦接于 I/O 接合垫 10 的 NMOS 晶体管能够于其栅极氧化层发生电压崩溃前先行导通, 并使得 ESD 电流流至接地点以避免内部集成电路 16 受到 ESD 的损坏。由于 ESD 防护能力主要是决定于箝制装置的 ESD 耐受能力, 因此传统技术利用于箝制装置附近注入杂质而提高箝制装置的

ESD 耐受能力。

图 2A 是显示传统具有 ESD 注入区的 ESD 防护装置的剖面图，而图 2B 是显示传统形成图 2A 所示的 ESD 防护装置的工艺流程图。如图 2A 与图 2B 所示，首先于 P 型阱区 20 上形成栅极氧化层 21A 与 21B (S1)，接着再依序形成轻掺杂区结构 22A 与 22B、侧壁绝缘间隔物 23A、23B 以及源/漏极区 24A~24C (S2~S4)。之后，再形成 ESD 光刻胶掩模，并于源/漏极区 24A~24C 底部及其周围附近形成 ESD 注入区 25A~25C (S5)。最后，再执行相关的后续工艺 (S6)，例如于源/漏极区 24A~24C 表面形成金属硅化物。可利用自对准金属硅化物工艺 (salicide) 沉积金属层以形成金属硅化物。其中，金属层一般为耐火材料组成，例如白金 (Pt)、钴 (Co) 及钛 (Ti)，以金属钛为例，其可以物理气相沉积法 (PVD) 或化学气相沉积法 (CVD) 形成，例如，以溅镀工艺如磁控直流溅镀法 (magnetron DC sputtering) 来沉积一钛金属 (Ti) 层，接着进行退火工艺 (annealing) 如快速热工艺 (Rapid Thermal Processing) 以形成金属硅化物界面。

美国专利编号 NO. 5559352, Hsue 揭露一种形成 ESD 防护装置的方法，其经由漏极与源极的接触窗执行高能量注入而形成 P 型 ESD 注入区，并与其漏极构成一齐纳二极管以降低接面的崩溃电压。因此，借由降低触发电压，ESD 防护电路能够迅速导通以防止薄栅极氧化层被 ESD 电流损坏并提高 ESD 耐受能力。

美国专利编号 NO. 5953601, Shiue 提出一种降低 ESD 防护装置的漏极端接面崩溃电压的方法，使其于栅极氧化层电压崩溃前导通。此传统方法是借由于执行硅化反应前，在 ESD 防护装置的源/漏极区正下方形成具有与其相反掺杂杂质 (P 型) 的深离子注入区，以降低漏极接面的崩溃电压。再者，避免了执行高能量 ESD 注入时，因为传送金属离子所导致的自对准金属硅化层恶化以及所衍生的接触电阻增加的问题。

美国专利编号 NO. 6114226, Chang 提出一种形成 ESD 防护装置的方法

法，利用一光刻胶掩模覆盖内部电路以及部分 ESD 防护装置的金属硅化层。而金属硅化层未被光刻胶掩模覆盖的部分，在经由执行干蚀刻工艺以暴露导电层以及部分源/漏极区时将会剥离。接着，透过未被光刻胶掩模覆盖部分执行离子注入工艺（齐纳接面注入）以形成重 P 型掺杂区。接下来，使用额外 ESD 光刻胶掩模以注入并限制轻掺杂漏极（lightly doped drain, LDD）结构的范围。在此传统技术中，以高能量所形成的重 P 型 ESD 注入区是位于部分源极以及漏极的下方以形成齐纳二极管，借以降低接面的崩溃电压。对应的，借由降低触发电压，更可提早导通 ESD 防护装置以防止薄栅极氧化层受损而提高 ESD 耐受力。

然而，前述所提的传统技术所揭露的各种实现 ESD 注入工艺的缺点在于其所形成的齐纳二极管的漏电流将大于无此 ESD 注入接面的漏电流，并具有较低的噪声容忍度。再者，由于齐纳二极管的耗尽区较无此 ESD 注入接面的耗尽区宽度来的薄，因此具有较大的寄生电容。

此外，使用高低压共容的集成电路，其核心逻辑区是使用较低位准的操作电源，而输出输入区所接收的电源一般为较高的电压位准。ESD 防护装置的齐纳接面崩溃电压可降低至约 5 至 8 伏特。然而，在使用高低压共容的集成电路架构中，不可预期的噪声或过度突波（overshooting）将导致 ESD 防护装置在一般正常操作时即导通，因而造成电路漏失信号或功能失效。除此之外，由于寄生电容值是与耗尽区的宽度成反比，因此齐纳接面较薄的耗尽区宽度将产生较大的寄生电容。在电路高速操作下，耦接于 I/O 接合垫的具有齐纳接面的 ESD 防护装置将延长信号之上升时间以及下降时间。因此，传统技术所揭露的 ESD 防护装置并不适用于高速操作的电路。

发明内容

有鉴于此，为了解决上述问题，本发明主要目的在于提供一种静电放电保护结构及其制造方法，能够形成低寄生电容、避免崩溃电压下降、良好噪声容忍度以及高 ESD 耐受力的 ESD 防护装置，适用于高速操作以及高低压共容的架构。

为获致上述的目的，本发明提出一种显著提升 CMOS 集成电路的 ESD 耐受力的深次微米 (deep-sub-micron) CMOS 工艺。根据本发明所揭露的方法，ESD 注入区的分布区域是位于整个漏极区中，除了漏极接触区以外的下方区域，与图 2A 所示的传统结构不同。另外，根据本发明实施例所揭露的方法是图 2B 所示的传统操作流程并不相同。

首先，在形成侧壁绝缘间隔物之前，先行以 ESD 光刻胶掩模定义出 ESD 注入区，接着，再于整个漏极区中，除了漏极接触区以外的下方区域处注入轻 N 型离子以形成掩盖轻掺杂漏极 (LDD) 结构的 ESD 注入区。当 ESD 防护装置具有较大的放电区域，则具有较高的 ESD 耐受能力。因此，根据本发明所提供的 ESD 防护装置的优点在于能够减少 ESD 电流聚集于漏极区中靠近脆弱的沟道表面的区域，并迫使 ESD 电流经由位于漏极底部平面的区域释放。再者，本发明所提供的 ESD 防护装置是兼容于深次微米 (deep-sub-micron) CMOS 工艺，而于同时形成的 ESD 防护装置与内部电路可大幅减少工艺成本。另外，虽然上述所提的美国专利公开数据已揭露使用各式 ESD 注入于 ESD 防护装置的漏极区底部形成齐纳二极管，来降低崩溃电压以加速 ESD 防护装置导通，但会因为加入其所形成的齐纳二极管而导致漏电流增加以及降低噪声容忍度。再者，相对于未形成传统 ESD 注入区前的一般接面的耗尽区，齐纳接面的耗尽区显得较薄，因此具有较大的寄生电容。再者，使用高低压共容的集成电路，必须特别考虑 ESD 防护电路是否具有低输入电容、良好噪声容忍度以及高 ESD 耐受力等特性。因此，基于上述原因，齐纳二极管的低崩溃电压以及低噪声容忍度将导致不可预期的噪声或过度突波 (overshooting) 而造

成 ESD 防护装置在一般正常操作时意外导通, 导致电路漏失信号或功能失效, 因此不适用于使用高低压共容的集成电路。相反的, 根据本发明实施例所揭露的 ESD 防护电路, 其崩溃电压与未形成 ESD 注入区的接面崩溃电压无异。因此, 根据本发明实施例所揭露的 ESD 注入方法具有高噪声容忍度以避免内部电路的操作受到不可预期的噪声或过度突波 (overshooting) 的影响。再者, 根据本发明实施例所揭露的 ESD 注入方法的另一优点在于因为崩溃电压并未改变, 因此可降低传统 ESD 防护装置的晶体管的接面电容。另外, 根据本发明实施例所揭露的 ESD 防护装置已证实能够成功运用于 $0.25\text{-}\mu\text{m}$ CMOS 工艺来形成栅极接地型 MOS 晶体管 (gate-grounded NMOS, ggNMOS) 以及堆栈型 NMOS (stacked NMOS), 并大幅改善 ESD 耐受力, 特别是机械模式的 ESD 耐受能力。根据发明实施例所揭露的 ESD 防护装置, 低寄生电容、未变动的崩溃电压, 良好噪声容忍度以及优异的 ESD 耐受力, 因此适合应用于高速以及高低压共容的集成电路的输出输入电路。

附图说明

图 1A 是显示传统输入电路的电路图。

图 1B 是显示对应于图 1A 的半导体剖面图。

图 2A 是显示传统具有 ESD 注入区的 ESD 防护装置的剖面图。

图 2B 是显示传统形成图 2A 所示的 ESD 防护装置的工艺流程图。

图 3A 至图 3D 是显示根据本发明实施例所述的 ESD 防护装置制造方法的剖面图。

图 4A 是显示根据本发明实施例所述的 ESD 防护装置制造方法所形成的 ESD 防护装置的上视图。

图 4B 是显示沿图 4A 中 AA' 线的半导体剖面图。

图 5A 是显示根据本发明实施例所述的另一 ESD 防护装置制造方法所形成的 ESD 防护装置的上视图。

图 5B 是显示沿图 5A 中 BB' 线的半导体剖面图。

符号说明:

10 ~ I/O 接合垫

12A、12B ~ NMOS 晶体管

14 ~ ESD 防护电路

16、40 ~ 内部电路

20、50、52 ~ P 型阱区

21A、21B、53 ~ 栅极氧化绝缘层

22A、22B、57 ~ 轻掺杂漏极结构

23A、23B、62 ~ 侧壁绝缘间隔物

24A ~ 24C、74、85 ~ 源/漏极区

25A ~ 25C ~ ESD 注入区

26A、26B、54、72、82A、84A ~ 栅极结构

30 ~ ESD 防护装置

51 ~ 隔离结构

56A、56B、56C ~ 光掩模

55、55A、58、58A、63、63A ~ 光刻胶层

61 ~ 层间介电层

60、70、80 ~ ESD 注入区

S ~ 漏极接触区底部的无 ESD 注入区

VDD、VSS ~ 电源

具体实施方式

图 3A 至图 30 是显示根据本发明实施例所述的 ESD 防护装置制造方法的剖面图, 根据本发明实施例所述的 ESD 防护装置是应用于深次微米 CMOS 工艺。在此指状结构中, ESD 防护装置 30 与内部电路 40 是以传统工艺同时形成于一基底 50, 诸如光刻工艺、离子注入工艺、氧化以及蚀刻等工艺。首先, 于 P 型基底 50 上依序形成 P 型阱区 52 以及隔离结构 51 以区隔 ESD 防护装置 30 与内部电路 40。隔离结构 51 可以利用传统技术的硅的局部氧化法 (localized oxidation of silicon, LOCOS) 或浅沟槽隔绝 (shallow trench isolation) 工艺来形成。而 MOS 晶体管包括栅极氧化绝缘层 53、多晶硅栅极 54、轻掺杂漏极结构 57、ESD 注入区 60、侧壁绝缘间隔物 62 以及源/漏极区, 其形成方法如下。

栅极氧化绝缘层 53 是于氧气供应系统 (oxygen stream system) 内以热生长形成, 其厚度约为 100 埃以下。接下来, 执行用以调整临界电压的离子注入程序并以低压化学气相沉积工艺 (low pressure chemical vapor deposition, LPCVD) 沉积多晶硅层以形成栅极 54。

图 3B 至图 3E 是显示形成轻掺杂漏极结构的步骤。首先, 参阅图 3B, 于基底 50 表面形成一光刻胶层 55 以覆盖隔离结构 51、P 型阱区 52 以及与栅极 54 的表面, 接着再使用一光掩模 56A, 定义光刻胶区域形成隔离图案 (如图 3C 所示), 剩余的光刻胶层是以标号 55A 所示。接下来, 参阅图 3D, 以栅极 54 以及光刻胶层 55A 作为掩模, 执行离子注入工艺以形成轻掺杂漏极 (LDD) 57, 最后并移除光刻胶 55A (如图 3E 所示)。在形成轻掺杂漏极 57 之后, 如图 3F 所示, 再次于基底 50 表面形成一光刻胶层 58 以覆盖隔离结构 51、轻掺杂漏极 57 以及与栅极 54 的表面, 接下来, 使用根据本发明实施例所提出的具有一既定 ESD 注入图案的光掩模 56B 以移除位于 ESD 防护装置 30 上, 对应于上述 ESD 注入图案位置的光刻胶, 而剩余的光刻胶是以标号 58A 标示 (如图 3G 所示)。接下来, 参阅图 3H, 以栅极 54 以及光刻胶 58A 作为掩模, 执行轻 N 型 ESD 注入工艺以形成覆

盖轻掺杂漏极 57 以及 ESD 防护装置 30 上预定的漏极区域的 ESD 注入区 60, 最后并移除光刻胶 58A (如图 3I 所示)。

接下来, 以化学气相沉积 (chemical vapor deposition, CVD) 于整个基底 50 表面形成一层间介电层 (interlayer dielectric, ILD) 61 (如图 3J 所示), 接着再对层间介电层 61 进行非等向性的反应离子蚀刻 (Reactive ion etch, RIE) 步骤, 于各栅极 54 侧壁形成侧壁绝缘间隔物 62 (如图 3K 所示)。接着, 参阅图 3L, 再于整个基底 50 表面形成一光刻胶层 63, 接着再使用一光掩模 56C, 定义光刻胶区域形成隔离图案 (如图 3M 所示), 剩余的光刻胶是以标号 63A 所示。接下来, 参阅图 3N, 以栅极 54、侧壁绝缘间隔物 62 以及光刻胶 63A 作为掩模, 执行高剂量砷或磷离子注入工艺以形成源/漏极掺杂区 64, 最后并移除光刻胶 63A (如图 3O 所示)。后续的相关工艺, 例如于栅极结构及源/漏极区表面形成金属硅化物, 以及金属联机工艺等, 其步骤与传统技术相同, 在此不予赘述以精简说明。因此, 即完成根据本发明实施例所述的防护装置制造方法。特别注意的是, ESD 注入区 60 的范围并未包括对应于位于 ESD 防护装置 30 的栅极 54, 源极, 以及漏极表面形成金属硅化物 (漏极接触区) 底部的区域。

图 4A 是显示根据本发明实施例所述的 ESD 防护装置制造方法所形成的 ESD 防护装置的上视图, 图 4B 是显示沿图 4A 中 AA' 线的半导体剖面图, 即为图 3O 中所示的 ESD 防护装置 30。在此所显示为栅极接地型 MOS 晶体管 (gate-grounded NMOS, ggNMOS) 结构。如图 4A 所示, ESD 注入区 70 是环绕在标号 S 所标示的区域 (漏极接触区) 以外以与栅极 72 之间的范围的区域。参阅图 4B, ESD 注入区 70 是位于栅极 72 之间的漏极区 74 底部附近, 未包括标号 S 所标示的区域。

图 5A 是显示根据本发明实施例所述的另一 ESD 防护装置制造方法所形成的 ESD 防护装置的上视图, 图 5B 是显示沿图 5A 中 BB' 线的半导体剖

面图。图 5A 与图 5B 所示为堆栈 NMOS 结构，其制造方法与传统技术相同，惟，如图 5A 所示，ESD 注入区 80 是环绕在标号 S 所标示的区域（漏极接触区）以外以与栅极 82A 与 84A 之间的范围。参阅图 5B，ESD 注入区 80 是位于栅极 82A 与 84A 之间的漏极区 85 底部附近，未包括标号 S 所标示的区域。

根据本发明实施例所述的 ESD 防护装置制造方法所形成的 ESD 防护装置，用以改善 NMOS 晶体管的 ESD 耐受力的 ESD 注入，是借由轻 N 型离子注入工艺形成于漏极区下方的部分区域，其具有较 N 型源/漏极区低的掺杂浓度。ESD 注入所注入的离子可以使用砷或磷离子作为掺杂物，并以高于源/漏极注入的注入能量执行离子注入工艺。因此，ESD 注入区是位于栅极之间整个漏极区下方，但未包含标号 S 所标示的区域。再者，熟知相关技艺的人士皆知，由于未被轻 N 型注入区覆盖的漏极区域与 P 型基底接面的崩溃电压并未改变，因此被轻 N 型注入区覆盖的漏极区域的崩溃电压较未被轻 N 型注入区覆盖的漏极区域的崩溃电压来的高。当相对于 VSS 接合垫的一正 ESD 电压提供至 I/O 接合垫时，根据本发明实施例所述的 ESD 防护装置的 NMOS 晶体管的漏极即接收到上述 ESD 应力。由于未被轻 N 型注入区覆盖的漏极区域与 P 型基底接面的崩溃电压并未改变，因此 ESD 电流首先经由此接面放电，并产生用以快速触发 NMOS 晶体管寄生的侧向双载子接面晶体管（lateral n-p-n BJT）的基底电流。最后，ESD 电流经由此 NMOS 晶体管的寄生侧向双载子接面晶体管放电，在此，ESD 电流的放电路径距离 NMOS 晶体管脆弱的表面通道甚远，并透过广大的区域放电。因此，大幅提升 NMOS 晶体管所能承受的 ESD 应力耐受能力，特别是机械模型模式的 ESD 耐受能力。另外，根据本发明实施例所述的 ESD 防护装置制造方法已成功的证明能够应用于 $0.25\ \mu\text{m}$ CMOS 工艺。

另外，根据本发明所述的 ESD 防护装置制造方法，除了能用来形成

NMOS 晶体管结构的 ESD 防护装置, 同样也能应用于形成 PMOS 晶体管的结构。在形成具 PMOS 晶体管结构的 ESD 防护装置时, 其工艺与前述的工艺大致相同, 而差异仅在于切换 P 型杂质与 N 型杂质的注入。再者, 根据本发明所述的 ESD 注入方法可应用于堆栈的 NMOS 结构, 此结构已广泛应用于高低压共容的输出输入电路。根据本发明所揭露的工艺所形成的 NMOS 结构与堆栈 NMOS 结构的上视图与剖面图已分别显示于图 4A、图 4B、图 5A 以及图 5B。

如上所述, 使用高低压共容的集成电路, 其核心逻辑区是使用较低位准的操作电源, 而输出输入区所接收的电源一般为较高的电压位准。虽然 NMOS 晶体管由 ESD 注入区所覆盖的接面为具有高崩溃电压的结构, 然而, 未被 ESD 注入区所覆盖的区域的崩溃电压以及噪声容忍度并未改变。因此, 根据本发明, 能够有效解决因为不可预期的噪声或过度突波 (overshooting) 而造成 ESD 防护装置在一般正常操作时导通。

另外, 由于接面寄生电容值是与 ESD 防护装置的晶体管的耗尽区接面宽度成反比, 根据本发明所述的 ESD 防护装置, MOS 晶体管的耗尽区接面宽度并未改变, 因此根据本发明所述的 ESD 防护装置的寄生电容远小于前述传统技术所述的具有齐纳接面的传统 ESD 防护装置。故, 在电路高速操作下, 根据本发明所述的 ESD 防护装置耦接至输入或输出接合垫的处具有低输入阻抗, 因此不会延长信号的上升或下降的时间, 故适用于高速操作的电路。

本发明虽以较佳实施例揭露如上, 然其并非用以限定本发明的范围, 任何熟习此项技艺者, 在不脱离本发明的精神和范围内, 当可做些许的更动与润饰, 因此本发明的保护范围当视后附的专利申请范围所界定者为准。

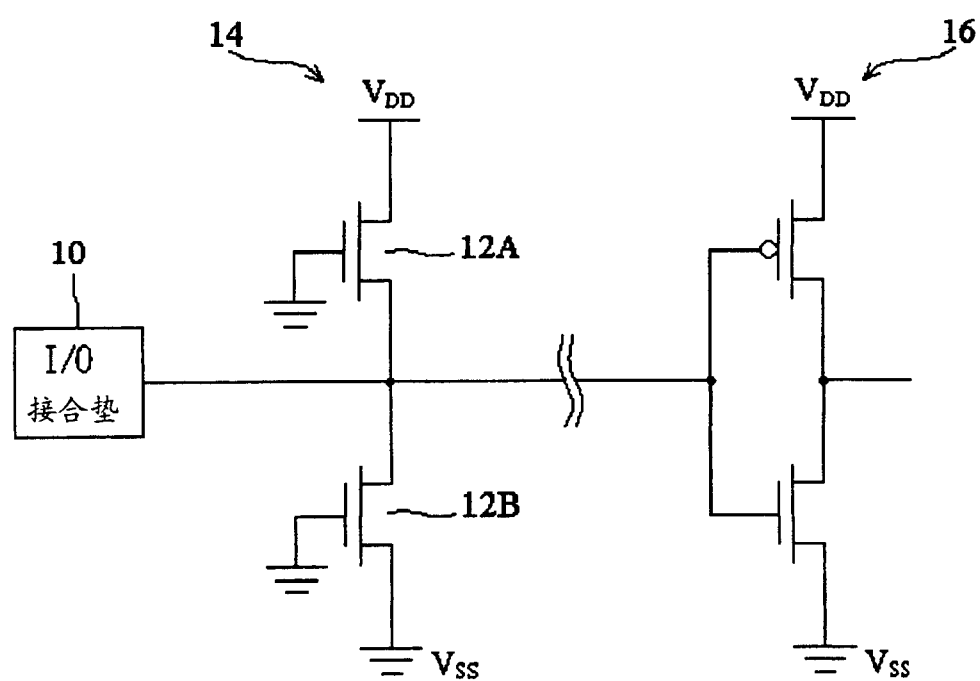


图 1A

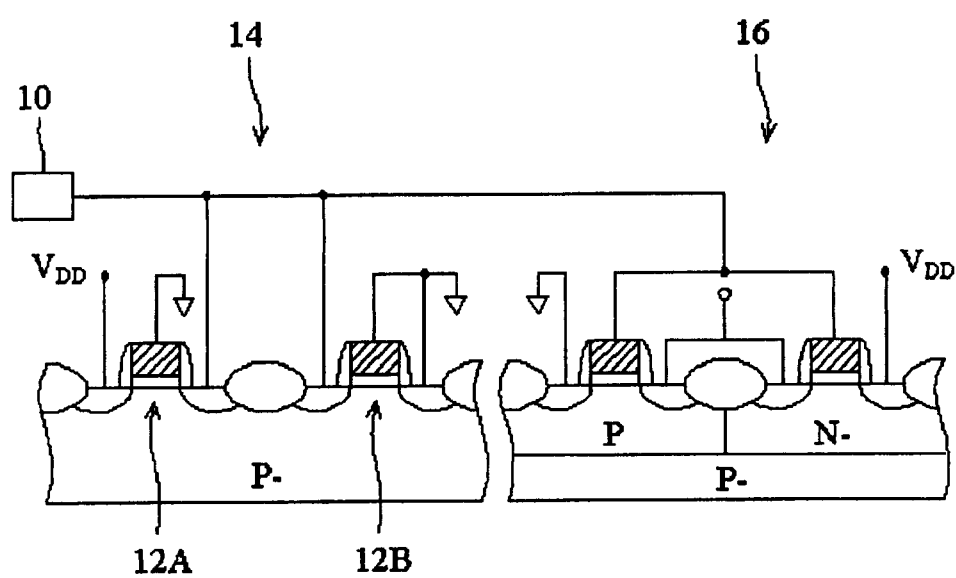


图 1B

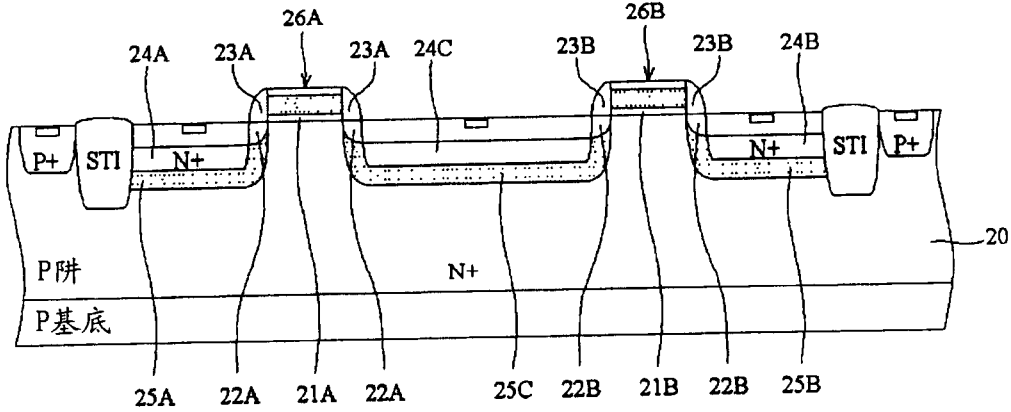


图 2A

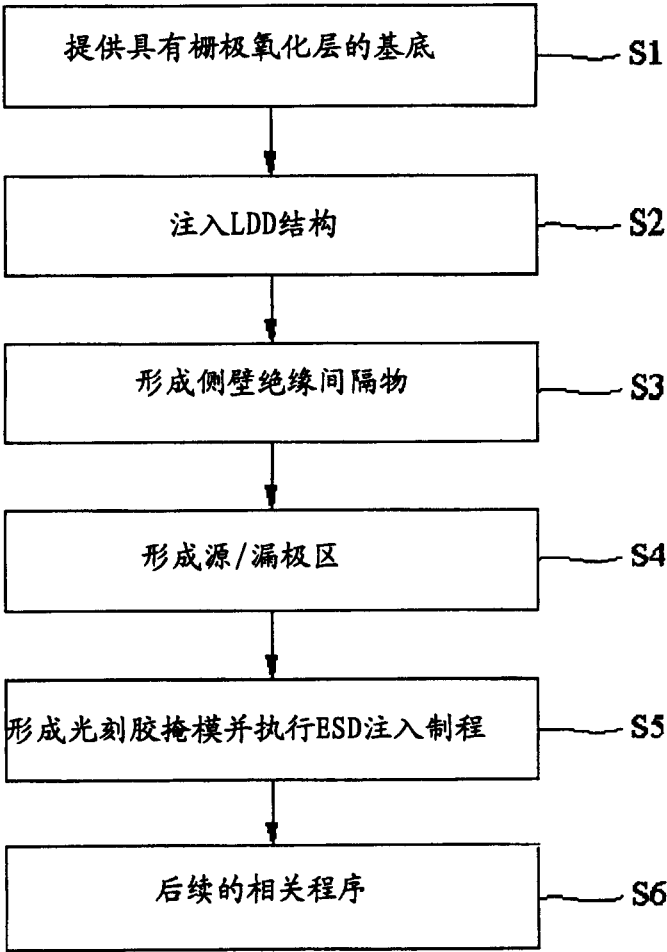


图 2B

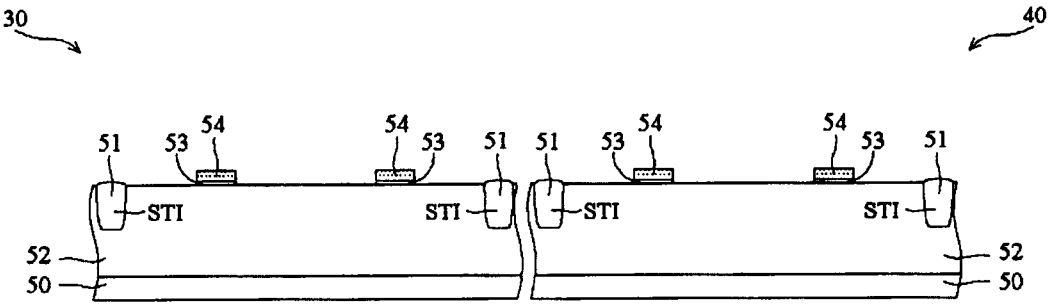


图 3A

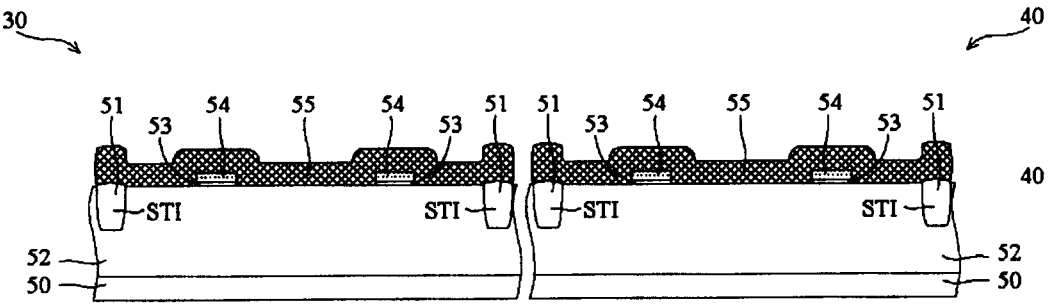


图 3B

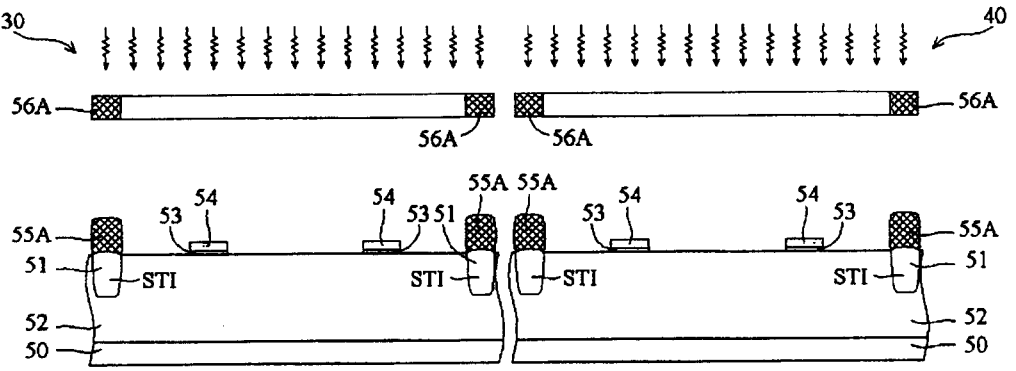


图 3C

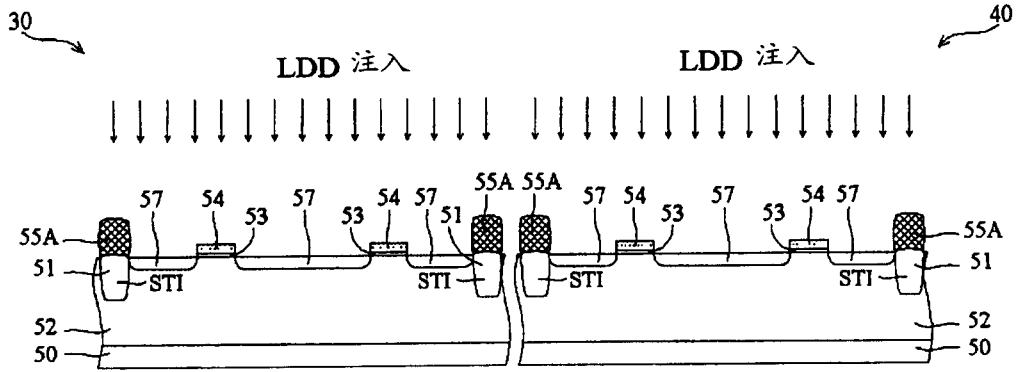


图 3D

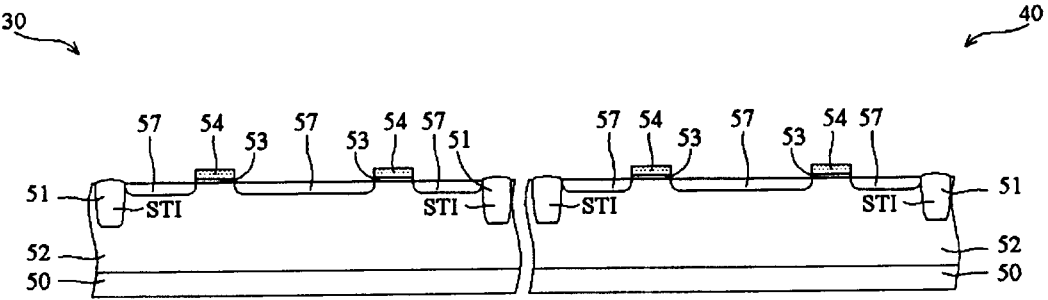


图 3E

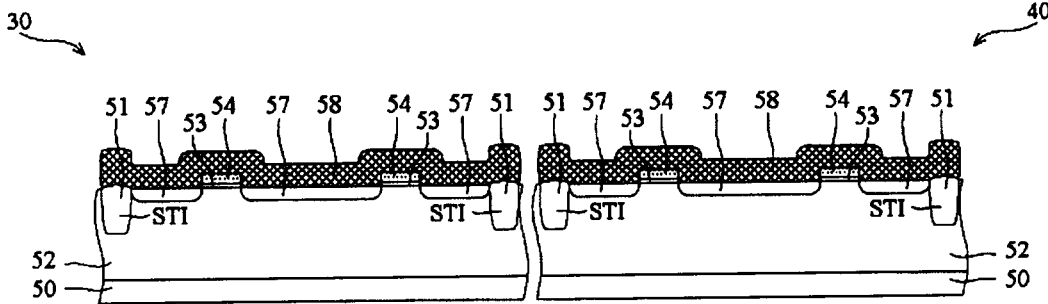


图 3F

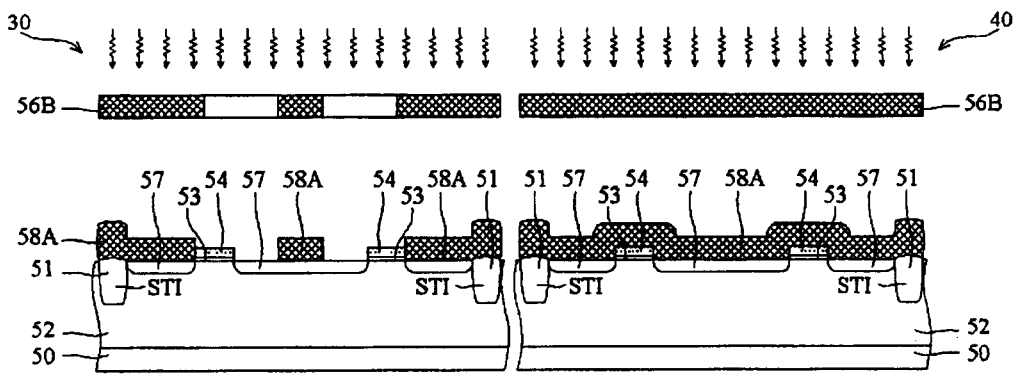


图 3G

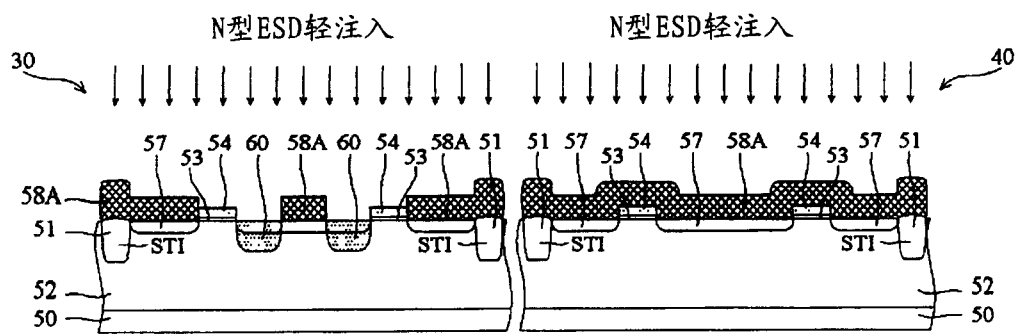


图 3H

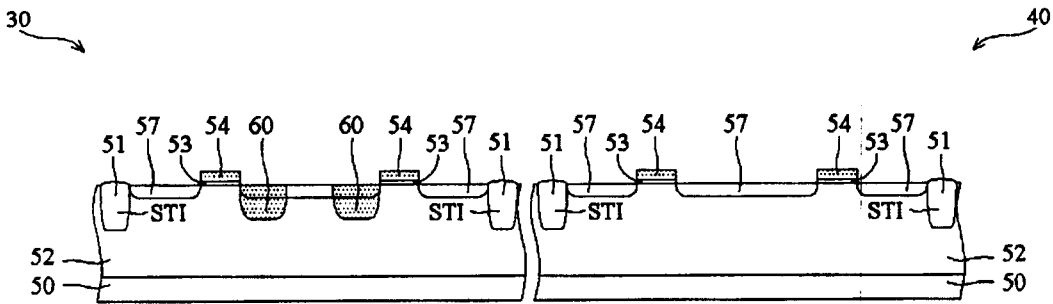


图 3I

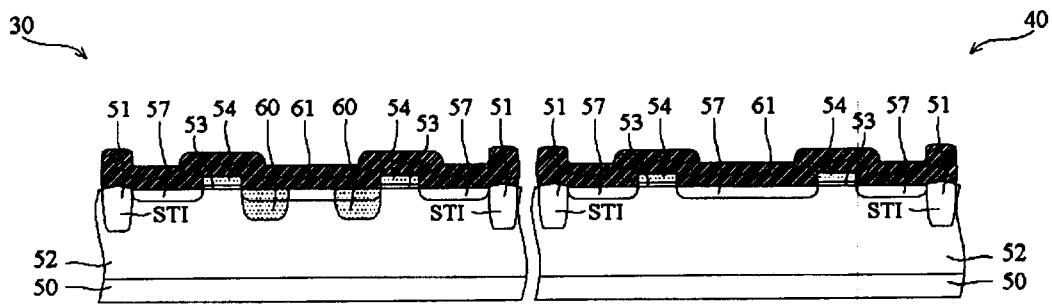


图 3J

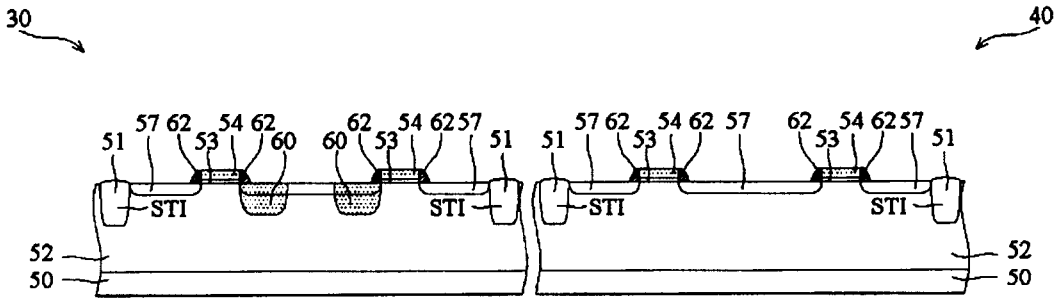


图 3K

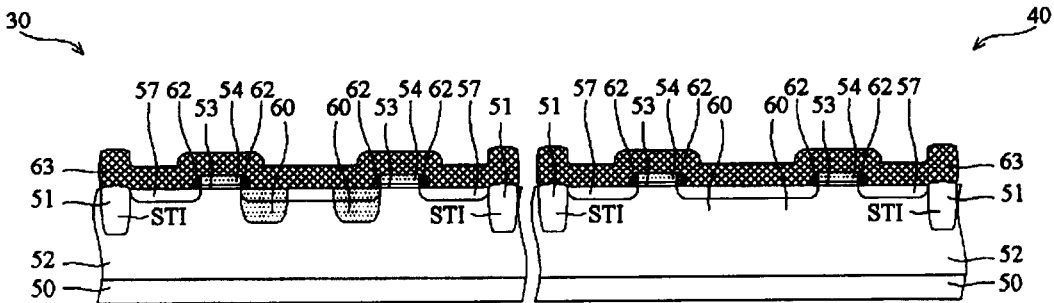


图 3L

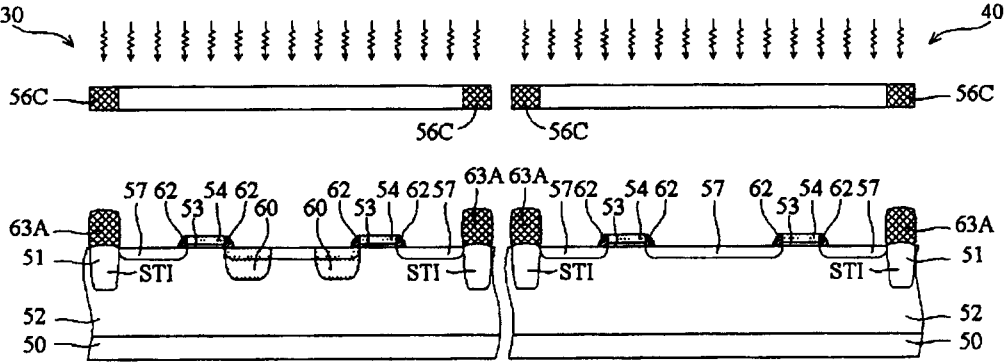


图 3M

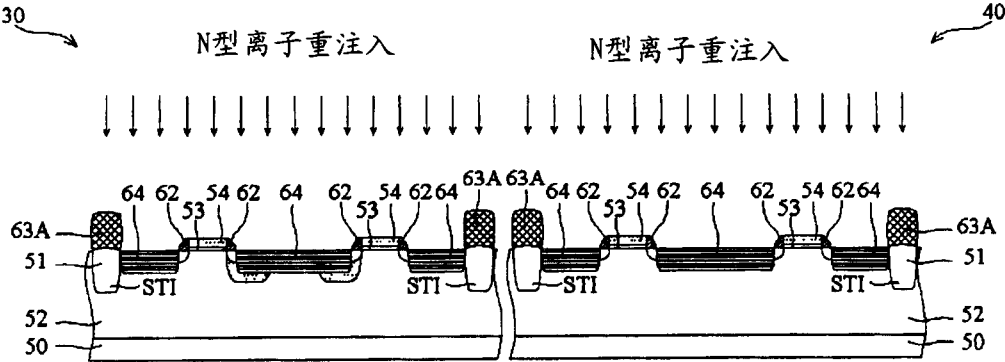


图 3N

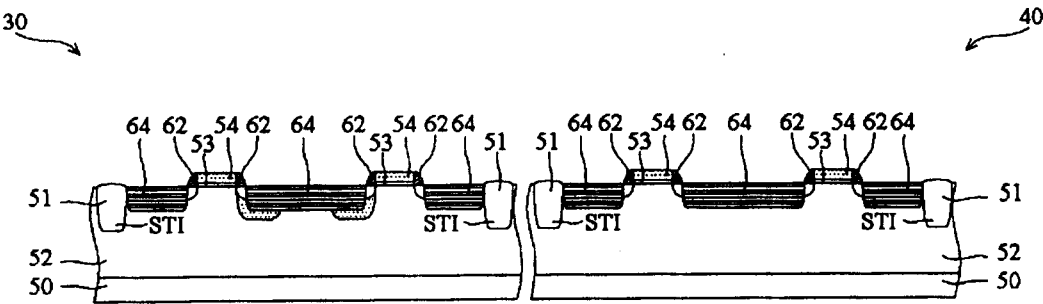


图 30

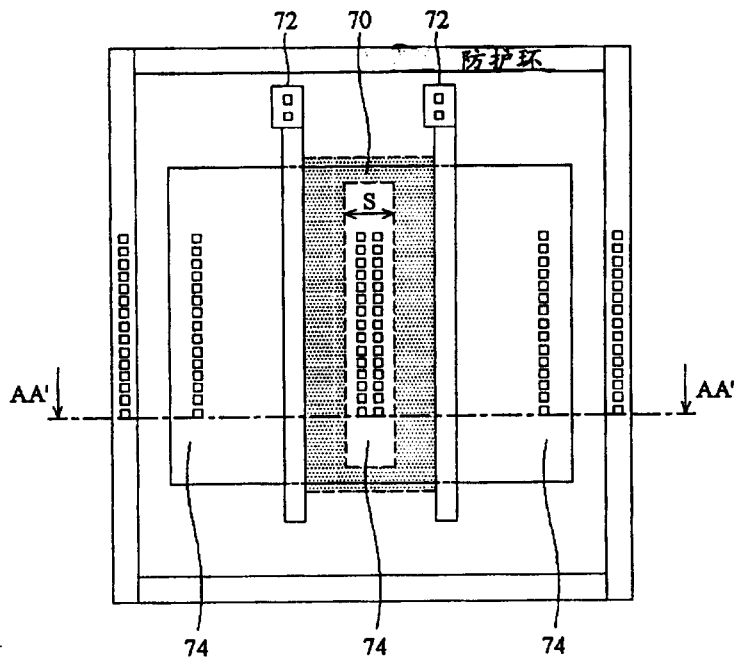


图 4A

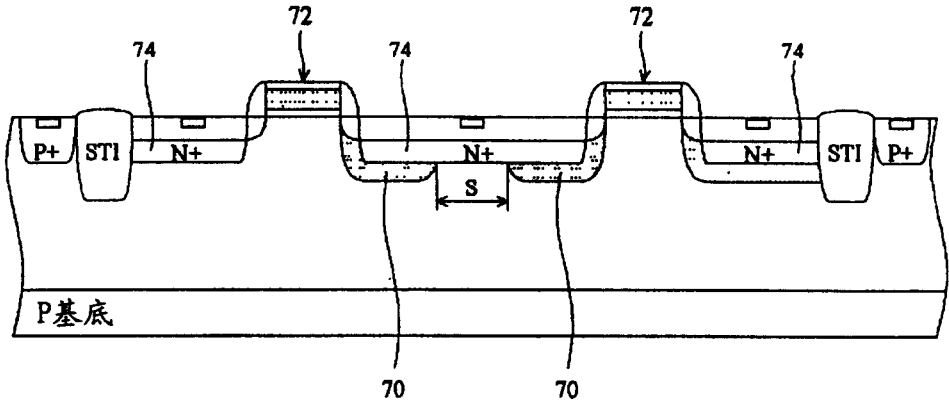


图 4B

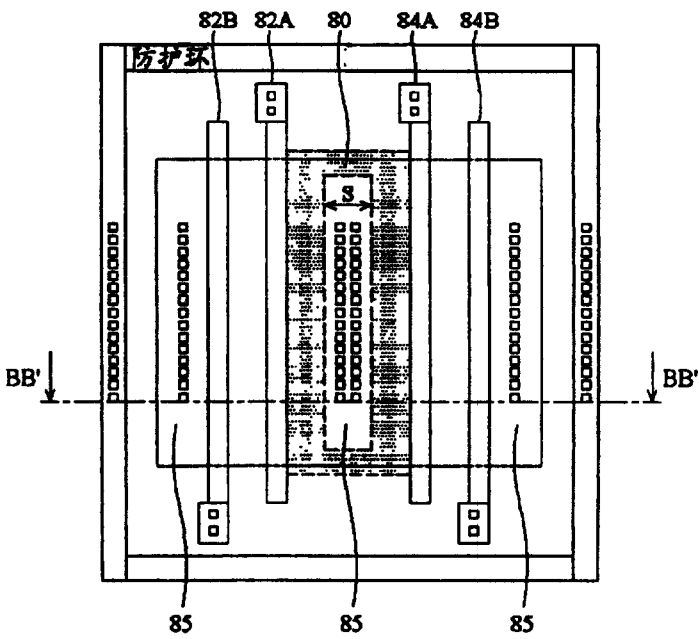


图 5A

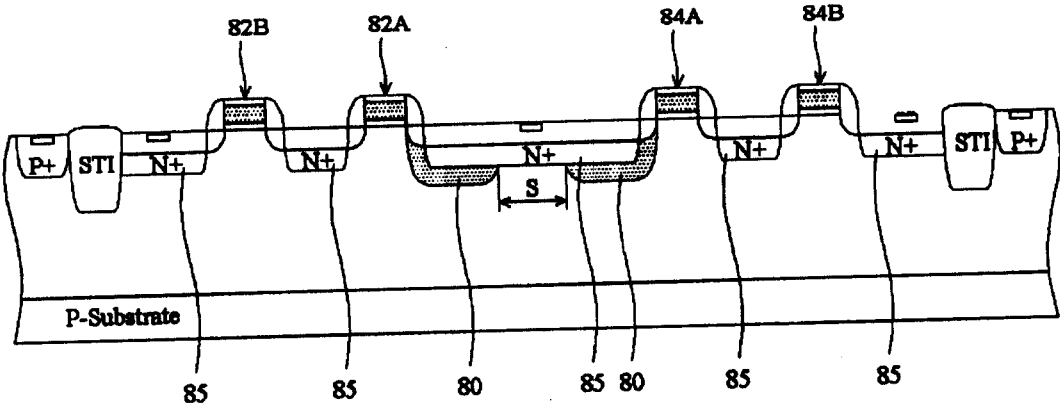


图 5B